

## 引用例 1 の写し

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)(51) Int. Cl.<sup>8</sup>  
G02F 1/133(11) 공개번호 특2000-0015775  
(43) 공개일자 2000년 03월 15일

(21) 출원번호	10-1998-0709323	
(22) 출원일자	1998년 11월 19일	
번역문제출일자	1998년 11월 19일	
(86) 국제출원번호	PCT/JP1998/01175	(87) 국제공개번호 WO 1998/43130
(86) 국제출원출원일자	1998년 03월 18일	(87) 국제공개일자 1998년 10월 01일
(81) 지정국	국내특허 : 중국 일본 대한민국	
(30) 우선권주장	97-74204 1997년 03월 26일 일본(JP)	
(71) 출원인	세이코 엔지니어링 가부시키가이샤 야스카와 히데아키	
	일본 도쿄도 163 신주쿠구 니시신주쿠 2초메 4-1	
(72) 발명자	이시이 겐야	
	일본 나가노켄 스와시 오와 3-3-5 세코 에푸손(주) 내	
(74) 대리인	이병호	

## 설명 : 없음

## (54) 액정장치, 전기 광학 장치 및 그것을 사용한 투사형 표시 장치

## 요약

액정 장치용 기판(1)에 있어서, 데이터선으로의 화상 신호의 공급에 앞서서 데이터선의 각각에 리셋 전위를 인가하기 위한 리셋 신호선(81, 82)과, 정전위선(84) 사이에 캐퍼시터(85)를 구성하고, 이 캐퍼시터(85)는 TFT(50)를 제조하기 위한 각 공정을 원용하여 형성함으로써, 데이터선으로의 화상 신호의 공급에 앞서서 데이터선의 각각에 리셋 전위를 인가하는 형태의 액정 장치 및 그것을 이용한 투사형 표시 장치에 있어서, 데이터선으로부터 리셋 신호선을 거쳐서의 신호의 회절을 방지하여, 표시의 품질을 높일 수 있는 구성을 제공한다.

## 도표도

## 도 1

## 설명서

## 기술분야

본 발명은, 액정 장치용 기판을 이용한 액정 장치 등의 전기 광학 장치, 및 그것을 이용한 투사형 표시 장치에 관한 것이다. 보다 상세하게는, 데이터선으로의 화상 신호의 공급에 앞서서 데이터선의 각각에 리셋 전위를 인가하는 형태의 액정 장치 및 전기 광학 장치의 구조에 관한 것이다.

## 세부기술

액정 장치에 사용되는 액정 장치용 기판 중, 예를 들면 구동 회로 내장형인 것에서는, 도 15에 블록도를 도시한 바와 같이, 기판(10)상에 매트릭스 형상으로 배열된 복수의 주사선(20) 및 복수의 데이터선(30)에 의해 화소영역(40)이 구획된 화소부(11)가 구성되어 있다. 화소 영역(40)의 각각에는, 주사선(20)과 데이터선(30)에 접속하는 화소 스위칭용 TFT(50)(반막 트랜지스터), 액정 셀 및 용량선(29)사이에 구성된 유저 용량이 형성되어 있다. 기판(10)상에 있어서 화소부(11)로부터 외측영역(주변부분)에는, 복수의 데이터선(30)의 각각에 화상 신호를 공급하는 데이터측 구동 회로부(60)와, 복수의 주사선(20)의 각각에 주사 신호를 공급하는 주사측 구동 회로부(70)가 구성되어 있다. 이러한 구동 회로부(60, 70)중, 데이터측 구동 회로부(60)에는, X축 레지스터(610)와, 마날로그 스위치로서의 TFT를 구비하는 샘플링 회로(620)가 구성되어, 화상 신호선(630)을 통해 각 데이터선(20)에 화상 신호가 공급된다.

이와 같이 구성한 액정 장치용 기판(1)을 이용한 액정 장치에 있어서, 예를 들면, 각 행마다 화상 신호가 대량 전극의 전위를 기준으로 데이터 신호의 극성을 반전하는, 액정에 인가되는 전압의 극성을 반전하는, 소위 반전 구동 방식을 행하는 데에는, 도 16a에 도시된 바와 같이, 데이터선(30)(TFT(50)의 소스 전극)에 공급되는 화상 신호는 1수평 주사 기간마다 극성이 반전되면서 TFT(50)를 통해 액정 셀에 기록되므로, 화소 스위칭용 TFT의 화소 전극의 전위는 도 16b에 도시된 바와 같이 변화한다. 즉, 화상 신호는 1수평 주사 기간마다 극성이 반전되므로, 화소 전극의 전위는 크게 변화하여, 그 만큼 데이터선(30)이론부터 화상 신호선(620)으로의 충전 및 방전(充放電)이 반복된다. 이와 같은 충전 및 방전은, NTSC 규격에 근거한 표시이면 샘플링 비율이 비교적 낮기 때문에, 표시 품질에 악영향을 미치지 않지만, HDTV나 배속 NTSC에 의한 표시를 행하면, 샘플링 비율이 높으므로, 표시에 노이즈 등을 발생시키는 원인이 된다.

### [말명의 개시]

그러나, 종래와 같이, 데이터선(30)으로의 화상 신호의 공급에 앞서서 데이터선(30)의 각각에 리셋 전위를 인가하고, 데이터선(30)으로부터의 출전 및 방전을 리셋 전위로 종료시키는 구성에서는, 옆으로 나열된 화소를 일제히 리셋하기 때문에, 전회의 프레임에 있어서 표시 패턴에 따라서는 리셋 신호선(81, 82)을 통해 다른 데이터선(30)으로의 신호(전자)의 회절이 발생된다. 이와 같은 신호의 회절은, 표시에 흑백 코로스토크 등으로서 나타나며, 표시의 품질을 저하시킨다고 하는 문제점이 있다. 이러한 문제점에 있어서는, 데이터선(30)의 폭을 넓혀 데이터선(30)의 시정수를 상대적으로 작게 하는 방법밖에 없지만, 종래는, 데이터선(30)의 폭을 넓혀 데이터선(30)의 시정수를 확실히 막을 수 없다.

그래서, 본 발명의 과제는, 상기의 문제점을 해소하는 것에 있고, 데이터선으로의 화상 신호의 공급에 앞서서 데이터선의 각각에 리셋 전위를 인가하는 형태의 행정 장치, 및 그것을 이용한 투사형 표시에 있어서, 리셋 신호선의 시정수 자체를 크게 하여, 데이터선 측으로부터 리셋 신호선을 거쳐서의 신호의 흐름을 방지하여, 표시의 품질을 높일 수 있는 구성을 제공하는 것에 있다.

상기 과제를 해결하기 위해서서, 본 발명은, 한쌍의 기판 사이에 액정이 밀봉되어지고, 상기 한쌍의 기판의 한쪽 기판상에는 화소 신호가 공급되는 복수의 데이터선과, 상기 복수의 주사선에 교차하여 주사 신호가 공급되는 복수의 주사선과 상기 각 데이터선과 주사선에 접속된 제 1 스위칭 소자와, 상기 제 1 스위칭 소자에 접속된 화소 전극으로 이루어진 화소부수, 상기 화소부수의 주변부에서 화상 신호의 공급에 위치한 소자에 접속된 제 2 스위칭 소자와, 상기 제 1 스위칭 소자와, 상기 제 2 스위칭 소자에서 리셋 신호선에 공급된 리셋 신호를 상기 데이터선에 공급하기 위한 제 2 스위칭 소자와, 상기 2 스위칭 소자에 접속되어 전하를 축적하는 캐퍼시터를 구비하는 리셋 구동 회로가 배치되어지고, 상기 한쌍의 기판은, 상기 화소부로부터 외측 영역에 형성된 시일층에 의해 서로 접착되어 있는 액정 접착제에 있어서, 상기 캐퍼시터는 소정의 전위가 공급되는 제 1 전극과, 상기 리셋 신호선에 전기적으로 접속되어서, 상기 리셋 신호를 통해 상기 제 1 전극에 대향 배치된 제 2 전극을 한쌍의 전극으로서 상기 시일층이 형성된다.

즉, 본 발명에 따른 액정 장치에서는, 제1 기판에 대하여, 리셋 신호선의 시정수를 크게 하기 위한 캐패시터를 구성함과 동시에, 이 캐패시터를 시일총의 형성영역에 구성한다. 따라서, 본 발명에 따른 액정 장치에서는, 리셋 신호선의 시정수를 데이터선총의 시정수보다도 충분히 크게 할 수 있으므로, 각 데이터선에 리셋 전위를 인가하였을 때에 리셋 신호선을 거쳐, 다른 데이터선에 신호가 회절되지 않는다. 따라서, 데이터선으로의 화상 신호의 공급에 앞서서 데이터선의 각각에 리셋 전위를 인가하는 형태의 액정 장치에 있어서도, 신호의 회절에 기인하는 흑크로스토크 등이 나타나지 않으므로, 표시의 품질을 향상시킬 수 있다. 게다가, 리셋 신호선의 시정수를 크게 하기 위한 캐패시터는, 종래에는 데드 스페이스장이었던 시일총의 형성 영역에 구성하기 때문에, 아무리 용량이 큰 캐패시터를 구성한다고 해도, 액정 구성을 대체하지 않고, 또한 하소비를 포함한 밀봉 영역 등을 축소할 필요가 없다.

상기 기준을 대체화시키지 않고, 모든 조건을 포함한 전기설계를 확장하는 방향으로 전개되는 경향이 있다. 예전에는 복수의 배선층으로 구성되었던 경우, 복수의 배선층으로 구성되며, 해당 복수의 배선층 별명에 있어서, 상기 리셋 신호선은, 별별 배치된 복수의 배선층으로 구성되며, 해당 복수의 배선층에 있어서, 복수의 배선층으로 구성되며, 해당 복수의 배선층에 대하여 상기 각각에 다른 전위의 리셋 신호가 공급되는 경우가 있다. 이 경우에는, 상기 배선층에 대하여 상기 제 2 전극은 소정의 배선층(리셋 신호선)에ما 전기적으로 접속하도록 구성하면, 상기 제 2 전극은 소정의 배선층(리셋 신호선)에마 전기적으로 접속하게 된다.

불명에 있어서, 상기 제 1 전국은 상기 정전위선축으로부터 상기 리센 신호선 축을 향해 설치된 복수된  
리센신호선축으로 구성되며, 상기 제2 전국은, 상기 리센 신호선 축으로부터 상기 정전위선을 향해 설치된  
복수의 전국축으로 구성되어 있는 것이 바람직하다. 즉, 리센 신호선 및 정전위선은 하소부의 주변부  
에 평행하게 배열하는 것이 레이아웃상, 바람직하므로, 리센 신호선과 정전위선 사이를 시일총의 형성  
하고, 거기에 리센 신호선축 및 정전위선축의 상방으로부터 전국축을 설치하여 캐퍼시터를 만  
영으로 하는 것이 바람직하다.

본 발명에 있어서, 상기 제 1 전극 및 상기 제 2 전극은 각각, 상기 주사선, 상기 데이터선, 및 상기 밖부 트랜지스터의 소스·드레인 영역 중의 어느 하나와 동시에 형성된 다른 충간의 전극층으로 구성함으로써, 공정수를 늘리지 않고 상기 캐퍼시터를 구성하는 것이 바람직하다.

구성되어야 하는 전문적인 협력체계를 확립하는 데 중점을 두어야 한다.

며, 다른쪽의 전극은 상기 데이터선과 동시에 형성된 전극층으로 구성되는 경우가 있으며, 이 경우에, 상기 캐패시터는, 상기 제 1 전극과 상기 제 2 전극의 결치는 부분에 상기 박막 트랜지스터의 층간 절연막과 동시에 형성된 절연막을 유전체막으로 구비하게 된다.

또한, 상기 제 1 및 제 2 전극 중, 한쪽의 전극은 상기 주사선과 동시에 형성된 전극층으로 구성되고, 다른쪽의 전극은 상기 박막 트랜지스터의 소스·드레인 영역과 동시에 형성된 전극층으로 구성되는 경우가 있으며, 이 경우에, 상기 캐패시터는, 상기 제 1 전극과 상기 제 2 전극의 결치는 부분에 상기 박막 트랜지스터의 게이트 절연막과 동시에 형성된 절연막을 유전체막으로서 구비하게 된다. 이와 같이 구성하면, 층간 절연막과 비교하여 얇은 게이트 절연막을 유전체막으로서 사용하므로, 캐패시터의 용량(리셋 신호선의 시정수)을 크게 할 수 있다.

또한, 상기 제 1 및 제 2 전극 중 한쪽의 전극은, 상기 주사선과 동시에 형성된 전극층으로 구성되며, 다른쪽의 전극은, 상기 데이터선과 동시에 형성된 전극층, 및 상기 박막 트랜지스터의 소스·드레인 영역과 동시에 형성된 전극층으로 이루어진 2개의 전극층으로 구성되는 경우가 있고, 이 경우에, 상기 캐패시터는, 상기의 주사선과 동시에 형성된 전극층과 상기의 데이터선과 동시에 형성된 전극층의 결치는 부분에 상기 박막 트랜지스터의 게이트 절연막과 동시에 형성된 절연막을 유전체막으로 하는 제 1 캐패시터와, 상기의 주사선과 동시에 형성된 전극층과 상기의 박막 트랜지스터의 소스·드레인 영역과 동시에 형성된 전극층의 결치는 부분에 상기 박막 트랜지스터의 게이트 절연막과 동시에 형성된 절연막을 유전체막으로 하는 제 2 캐패시터를 구비하게 된다. 이와 같이 구성하면, 층간 절연막을 유전체계로 하는 제 1 캐패시터와, 이 층간 절연막과 비교하여 얇은 게이트 절연막을 유전체막으로 하는 제 2 캐패시터를 병렬로 전기적 접속한 상태에서 구성할 수 있으므로, 캐패시터의 용량(리셋 신호선의 시정수)을 더욱 크게 할 수 있다.

본 발명은, 액정 장치용 기판 상에 구동 회로가 구성되어 있지 않고, 외부로부터 주사 신호나 화상 신호가 공급되는 형태의 액정 장치에 적용할 수 있음을 블록, 액정 장치용 기판에, 상기 데이터에 상기 화상 신호를 공급하는 데이터 측 구동 회로, 또는 상기 주사선을 거쳐 주사 신호를 공급하는 주사 측 구동 회로로 구성된 구동 회로 일체형 액정 장치용 기판을 이용한 액정 장치에도 적용할 수 있다.

또한, 본 발명에 따른 상기 광학 장치는, 제 1 기판상에는 매트릭스 형상으로 배치된 화소 전극과, 상기 화소 전극에 접속된 제 1 스위칭 소자로 이루어진 화소 영역과, 상기 화소 영역의 주변에 배치된 화소를 구동하기 위한 구동 회로를 갖고, 상기 기판은 상기 화소부로부터 외측 영역에 형성된 시일층에 의해서 제 2 기판과 서로 접착된 상기 광학 장치에 있어서,

상기 시일층의 형성 영역에는, 상기 구동 회로로부터의 신호선에 접속된 제 1 전극과, 절연막을 통해 상기 제 1 전극에 대향하도록 형성된 제 2 전극으로 이루어진 캐패시터가 형성되는 것을 특징으로 한다.

즉, 본 발명에 의하면, 구동 회로에 접속되는 신호선에 용량을 부기하기 위해서, 캐패시터를 시일재의 형성 영역에 형성할 수 있기 때문에, 신호선의 시정수를 크게 할 수 있으며, 종래는 데드 스페이스미었던 시일층의 형성 영역을 유효 활용할 수 있어, 전기 광학 장치를 대형화시키지 않게 된다.

본 발명은, 제 1 기판상에는 화상 신호가 공급되는 복수의 데이터선과, 주사 신호가 공급되는 복수의 주사선과, 상기 각 데이터선과 주사선에 접속된 제 1 스위칭 소자와, 상기 제 1 스위칭 소자에 접속된 화소 전극을 갖는 전기 광학 장치에 있어서, 상기 데이터선에 화상 신호를 공급하는 기간에 앞서서 리셋 신호선에 공급된 리셋 신호를 상기 데이터선에 공급하기 위한 제 2 스위칭 소자와, 상기 리셋 신호선에 접속된 캐패시터를 구비하는 리셋 구동 회로를 포함하는 것을 특징으로 한다.

본 발명에 의하면, 화소 전극에 인가된 화상 신호를 일제히 리셋하는 리셋 구동 회로를 설치한 경우에도, 리셋 신호선의 배선 용량 혹은 제 2 스위칭 수단의 온(on) 저항의 충당이 증대하여, 모든 데이터선에 리셋 신호를 기록할 수 있다. 그 결과, 각 데이터선의 전위는 흥밀하게 원하는 전위로 되어, 양호하게 화상 신호가 기록된다. 따라서, 콘트라스트의 얼룩이 발생하지 않는다.

또한, 본 발명에 따른 액정 장치 등의 전기 광학 장치는, 예를 들면, 광원부와, 해당 광원부로부터 출사된 광을 상기 액정 장치에서 광변조한 광을 스크린 등의 투사면에 투사하는 투사 수단을 구비하는 투사형 표시 장치 등의 전자 기기에 이용할 수 있다.

### 도면의 간략한 설명

도 1은 본 발명에 따른 액정 장치의 액정 장치용 기판의 블록도이다.

도 2는 도 1에 도시된 액정 장치용 기판에 대항 기판을 접합시킨 구조를 도시한 설명도이다.

도 3은 도 2의 L12로 나타낸 영역을 확대하여 도시한 설명도이다.

도 4a는 도 1에 도시된 액정 장치용 기판에 형성된 화소 스위칭용 TFT의 평면도이다.

도 4b는 이 액정 장치용 기판의 리셋 신호선에 대하여 부가된 캐패시터의 구성을 도시한 평면도이다.

도 4c는 도 4b의 B-B'선에 있어서의 단면도이다.

도 4d는 도 4b의 C-C'선에 있어서의 단면도이다.

도 5a 내지 도 5f는 도 4에 도시된 TFT 및 캐패시터를 형성하기 위한 공정 단면도이다.

도 6a 내지 도 6d는 도 5에 계속해서 행하는 공정을 도시한 공정 단면도이다.

도 7a 내지 도 7d는 도 6에 계속해서 행하는 공정을 도시한 공정 단면도이다.

도 8a는 본 발명의 개량예에 따른 액정 장치용 기판의 리셋 신호선에 대하여 부가한 캐패시터의 구성을 도시한 평면도이다.

도 8b는 도 8a의 D-D'선에 있어서의 단면도이다.

도 8c는 도 8b의 E-E'선에 있어서의 단면도이다.

도 9a는 본 발명의 또 다른 개량예에 관한 액정 장치용 기판의 리셋 신호선에 대하여 부가한 캐패시터의 구성을 도시한 평면도이다.

도 9b는 도 9a의 F-F'선에 있어서의 단면도이다.

도 9c는 도 9b의 G-G'선에 있어서의 단면도이다.

도 10은 본 발명을 적용한 액정 장치를 이용한 전자기기의 블록도이다.

도 11은 본 발명을 적용한 액정 장치를 이용한 투사형 표시 장치의 광학계를 도시한 설명도이다.

도 12는 본 발명을 적용한 액정 장치를 이용한 퍼스널 컴퓨터의 설명도이다.

도 13은 본 발명을 적용한 액정 장치를 이용한 페이퍼의 설명도이다.

도 14는 도 13의 페이퍼에 이용한 액정 표시 기판의 설명도이다.

도 15는 종래의 액정 장치의 액정 장치용 기판의 블록도이다.

도 16은 액정 장치의 구동 방식을 설명하기 위한 파형도이다.

도 17은 종래의 액정 장치의 액정 장치용 기판의 일부를 확대하여 도시한 설명도이다.

도 18은 본 발명에 따른 액정 장치의 액정 장치용 기판의 다른 블록도이다.

### 설명

도면을 참조하여, 본 발명을 실시하기 위한 양호한 형태에 관해서 설명한다. (액정 장치용 기판의 전체 및 화소부의 구성)

도 1은, 액정 표시 장치에 사용되는 구동 회로 내장형 액정 장치용 기판의 구성을 모식적으로 도시한 블록도, 도 2는, 이 액정 장치용 기판에 대항 기판을 접합시킨 구조를 도시한 설명도이다. 또, 본 형태에 따른 액정 장치용 기판은 기본적인 구성이 도 14, 도 15 및 도 16c, 도 16d를 참조하여 설명한 것과 같기 때문에, 공통되는 부분에는 동일한 부호가 부가되어 있다.

도 1에서 알 수 있는 바와 같이, 본 형태의 액정 장치에 사용되는 구동 회로 내장형의 액정 장치용 기판(1)도, 화소부(11)에서는, 글래스나 석영 등의 투명한 기판, 또는 실리콘 기판(10)위에 주사 신호가 공급되는 복수의 주사선(20) 및 화상 신호가 공급되는 데이터선(30)이 매트릭스 형상으로 배열되어 있다. 이러한 주사선(20) 및 데이터선(30)에 의해 화소 영역(40)이 구획되어 있다. 화소 영역(40)의 각각에는, 주사선(20)과 데이터선(30)에 접속하는 스위치 소자로서 화소 스위칭용 TFT(50)(박막 트랜지스터), 액정 셀, 및 용량선(29)사이에 구성된 유지 용량이 형성되어 있다. 기판(10)상에 있어서 화소부(11)로부터 외측영역(주변부분)에는, 복수의 데이터선(30)의 각각에 화상 신호를 공급하는 주사측 구동 회로부(70)가 구축되어 있다. 이러한 구동 회로부(60, 70) 중, 데이터측 구동 회로부(60)에는, X축 레지스터(610)와, Y축 레지스터(620)가 구성되어 있다. X축 레지스터(610)와 샘플링 회로(620)는, 샘플링 신호 입력용 배선 패턴(64)에 의해 접속되며, 샘플링 회로(620)와 화상 신호선(630)은, 샘플링 신호 입력용 배선 패턴(64)에 의해 접속되어 있다. 이때문에, X축 레지스터(610)로부터 출력된 샘플링 신호에 근거하여, 샘플링 회로(620)가 소정의 타이밍으로 동작하면, 화상 신호선(630)을 통해 공급된 화상 신호는 샘플링 신호 입력용 배선 패턴(64)을 거쳐 각 데이터선(20)에 공급된다.

### (구동 방법)

이와 같이 구성한 액정 장치용 기판(1)을 이용한 액정 장치에 있어서, 예를 들면, 각 행마다 화상 신호가 극성 반전하는(화상 신호의 위상을 반전한다) 반전 구동 방식을 행하는데는, 도 16c를 참조하여 도시된 바와 같이, 데이터선(30) (TFT(50)의 소스 전극)에 공급되는 화상 신호는 1수평 주사 기간마다 극성으로 반전하면서 TFT(50)를 거쳐 액정 셀에 기록된다. 따라서, 데이터선(30)을 거쳐서는 충전 및 방전이 반복되지만, 본 형태에서는, 화상 신호선으로부터의 샘플링 비율이 높아도, 상기의 충전 및 방전이 표시에 노이즈 등을 발생시키지 않도록, 도 16d를 참조하여 도시된 바와 같이, 수평 커선 구간 등을 이용하여 데이터선(30)으로의 화상 신호의 공급에 앞서서 데이터선(30)의 각각에 리셋 전위를 인가한다. 즉, 도 1에 도시된 바와 같이, 화소부(11)의 외주 영역에 대해서는, 데이터선(30)으로의 화상 신호의 공급에 앞서서 데이터선(30)의 각각에 리셋 전위를 인가하기 위한 2계열의 리셋 신호선(81, 82) 및 리셋 전위 공급 차단용 스위치 회로(83)를 구비하는 리셋 구동 회로(80)가 구성되어 있다.

### (리셋 신호선의 시정수를 증대하기 위한 구성)

또한, 본 형태의 액정 장치용 기판(1)에 있어서, 리셋 신호선(81, 82)보다도 외측 영역에는 리셋 신호선(81, 82)에 평행하게 정전위선(84)이 구성되고, 이 정전위선(84)과 리셋 신호선(81, 82)사이에는 캐패시터(85)가 구성되어 있다. 정전위선(84)은, 예를 들면, 용량선(29)이나 코먼선(22)과 같이, 액정 장치용 기판(1)과 접합시키는 대향 기판의 대향 전극의 전위와 동전위로 설정되며, 이 전위는 도 16c, 도 16d에 도시된 화상 신호나 리셋 신호의 진폭의 중간 전위에 상당한다.

따라서, 본 형태의 액정 장치용 기판(1)에서는 리셋 신호선(81, 82)과 정전위선(84)사이에 캐패시터(85)가 구성되어 있기 때문에, 리셋 신호선(81, 82)의 시정수가 크다. 그러므로, 각 데이터선(30)에 리셋 전위를 인가하였을 때에 리셋 신호선(81, 82)을 거쳐 다른 데이터선(30)에 신호가 회절되지 않는다. 따라서, 데이터선(30)으로의 화상 신호의 공급에 앞서서 데이터선(30)의 각각에 리셋

전위를 인가하는 형태의 액정 장치에 있어서도 신호의 회절에 기인하는 옆 크로스토크 등이 나타나지 않으므로, 표시의 품질을 향상시킬 수 있다.

또한, 데미터선의 용량(C1)에 대하여, 캐퍼시터(85)의 값 C2의 구체에에 관해 기술한다. 예컨대, 화상 신호의 중심 전위  $V_c = 6V$ 로 하고, 리셋 신호의 전위를  $V_{ct} = 26V$ 로 하고, 리셋 신호의 기록 시간이 배선의 시정수보다도 짧은 경우,

에서는, 예를 들면 이하에 설명하는 바와 같이 셀캡 조정 영역의 높이를 맞춘다.

즉, 도 1에는, 시일총(90)의 형성 영역을 모식적으로 일정쇄선 L90으로 나타내고 있는 바와 같이, 데미 층 구동 회로부(60) 측에서는, 샘플링 신호 입력용 배선 패턴(64)이나 화상 신호 샘플링용 배선 패턴(65)에 겹치도록 시일총(90)을 형성하지만, 이러한 배선 패턴에 대하여는, 더미의 배선층(도시하지 않음) 등을 겹치고, 상기의 셀캡 조정 영역과 높이를 맞춘다. 이 때에, 더미의 배선층에 관해서는 콘택트 홀을 거쳐 샘플링 신호 입력용 배선 패턴(64)이나 화상 신호 샘플링용 배선 패턴(65)과 전기적으로 접속하면, 용장 배선 구조를 구성할 수 있다. 마찬가지로, 주사층 구동 회로부(70) 측에서는, 이 구동 전자회로에 주사선(30) 및 용량선(29)에 대하여 더미의 배선층(도시하지 않음)을 겹쳐서, 상기의 셀캡 조정 영역과 높이를 맞추면, 그 곳을 시일총(90)의 형성 영역으로서 이용할 수 있다. 이 경우에도, 더미의 배선층을 콘택트 홀을 거쳐 주사선(30)이나 용량선(29)과 전기적으로 접속하면, 용장 배선 구조를 구성할 수 있다.

이와 같이, 종래에는 데드 스페이스이었던 시일총(90)의 형성 영역을 샘플링 신호 입력용 배선 패턴(64)이나 화상 신호 샘플링용 배선 패턴(65)의 형성 영역으로서 이용하면, 시일총(90)보다도 외측 영역에서는 회로의 형성 가능 영역을 확장할 수 있다. 따라서, 데이터층 구동 회로부(60)에 대해서는 그것을 구성하는 TFT의 채널쪽의 확장에 의한 온 전류의 증대(동작 속도의 향상), 또는 대규모 회로의 그들을 행할 수 있다. 역으로 말하면, 시일총(90)보다도 양쪽부분에 샘플링 회로(620)를 구성하였기 때문에, 시일총(90)보다도 외측 영역을 풀게 할 수 있다. 따라서, 같은 크기의 표시 영역을 갖으면서도 주변부분이 즐은 액정 장치를 구성할 수가 있다. 또, 액정 밀봉 영역(12)내에는 샘플링 회로(620)가 위치하지만, 샘플링 회로(620) 위치미면 액정을 열화시키지 않는다. 더구나, 샘플링 회로(620)는 블랙 매트릭스(BM)로 덮혀 있기 때문에, 이 부분의 액정이 열화된다다고 해도 표시의 품질을 떨어뜨리지 않는다.

#### (TFT의 구성)

도 4a, 도 4b, 도 4c, 도 4d는 각각, 도 1에 도시한 액정 장치용 기판에 형성한 화소 스위칭을 TFT의 평면도, 이 액정 장치용 기판의 리셋 신호선에 대하여 부가한 캐패시터의 구성을 도시한 평면도, 도 4b의 B-B'선에 있어서의 단면도, 도 4b의 C-C'선에 있어서의 단면도이다.

도 4a에는, 화소부(11)의 일부(화소 영역(40))를 확대하여 도시한 바와 같이, 어느 쪽의 화소 영역(40)에 대하여도, 알루미늄막 등으로 이루어진 데이터선(30)의 하층측에 있어서, 데이터선(30)에 부분적으로 겹치도록 형성한 폴리실리콘막으로 이루어진 반도체막(51)(TFT의 능동층)과, 반도체막(51)이나 데이터선(30)은 다른 층간에 형성된 폴리실리콘막 등으로 이루어진 주사선(20)의 일부로 이루어진 게이트 데이터선(30)은 다른 층간에 형성된 폴리실리콘막 등으로 이루어진 주사선(20)의 일부로 이루어진 게이트(21)를 구비하는 화소 스위칭용 TFT(50)가 형성되어 있다. 이 TFT(50)에 있어서, 반도체막(51) 트랜지스터(21)에 대하여 자기 정합적으로 소스 영역(521) 및 드레인 영역(522)이 형성되어 있다. 게이트 전극(21)에 대하여 자기 정합적으로 소스 영역(521) 및 드레인 영역(522)이 형성되어 있다. 게이트 전극(21)에는 콘택트 홀(56)을 거쳐 데이터선(30)이 전기적으로 접속되어, 드레인 영역(522)에는 소스 영역(521)에는 콘택트 홀(56)을 거쳐 데이터선(30)이 전기적으로 접속되어 있다. 또, 도 4a에는, 도 1에 도시된 용량선(29)이 생략되어 있다.

#### (캐패시터의 구성 예 1)

리셋 신호선(81, 82)에 부가하는 상기의 캐패시터(85)를 구성할에 있어서, 이하에 설명하는 어느 하나의 예에서도, 캐패시터(85)를 구성하기 위한 각 전극은 각각, 도 4a에 도시된 주사선(20)(게이트 전극(21)), 데이터선(30), TFT(50)의 소스 영역(521) 및 드레인 영역(522) 중의 어느 하나와 동시 형성된 다른 층간의 전극층으로 구성되어 있다.

예를 들면, 도 4b, 도 4c, 도 4d에 도시된 예에서는 리셋 신호선(81, 82) 및 정전위선(84)은, 모두 주사선(20)(TFT(50)의 게이트 전극(21))과 동시에 형성된 폴리실리콘막으로 이루어진 배선층이다. 캐패시터(85)를 구성하는 2개의 전극 중, 하층측에 위치하는 제 1 전극(86)은, 끝까지 정전위선(84)으로부터 리셋 신호선(81, 82)을 향해 툴출된 연장부분이고, 리셋 신호선(81, 82) 및 주사선(20)(TFT(50)의 게이트 전극(21))과 동시에 형성된 폴리실리콘막으로 이루어진 전극층이다. 상층측에 위치하는 제 2 게이트 전극(87A)은, 데이터선(30)(TFT(50)의 소스 전극)과 동시에 형성된 알루미늄층으로 이루어진 전극층이고, 리셋 신호선(81, 82)에 대하여는 콘택트 홀(56A)을 거쳐 전기적으로 접속되어 있다. 여기서, 리셋 신호선(81, 82)에 대하여는 콘택트 홀(56A)을 거쳐 전기적으로 접속하는 전극층을 제 2 전극(87A)으로서 이용한 것은, 리셋 신호선(81, 82)이 등층이기 때문에, 리셋 신호선(82)에 전기적으로 접속하는 제 2 전극(87A)에 판은, 리셋 신호선(81)에 전기적으로 접속되지 않게 정전위선(84)을 향해 설치하기 때문이다. 이 형태에서는, 리셋 신호선(81)에 전기적으로 접속되지 않게 정전위선(84)을 향해 설치하기 때문이다. 이 형태 경우에는, 캐패시터(85)는 상기 2개의 전극(86, 87A)의 겹치는 부분에 TFT(50)의 층간 절연막과 동시에 형성된 절연막을 유전체막으로서 구비하는 것이다.

이러한 구성의 캐패시터(85)를 제조하는 방법을, 도 5 내지 도 7을 참조하여 설명한다. 이러한 도면은, 본 형태의 액정 장치용 기판의 제조 방법을 도시한 공정단면도이고, 어느 하나의 도면에 있어서도, 그 좌측 부분에는 도 4a의 A-A'선에 있어서의 단면, 오른쪽 부분에는 도 4b의 B-B'선에 있어서의 단면을 그 도면하고 있다. 또, 도 4b의 B-B'선에 있어서의 단면으로서는 리셋 신호선(82)이 나타나지 않지만, 리셋 신호선(81, 82)은 모두 기본적인 구성이 동일하기 때문에, 리셋 신호선(82)의 설명을 생략한다.

우선, 도 5a에 도시된 바와 같이, 화소 TFT 부 및 캐패시터부의 어느 한쪽에도, 글래스 기판, 예를 들면, 무알칼리 글래스 기판 등으로 이루어진 투명한 기판 혹은 실리콘 기판(10)의 표면 전체에 적절, 또는, 기판(10)의 표면에 형성된 기초 보호막의 표면 전체에, 감압 CVD법 등에 의해 두께가 약 500 층스트롬(500 Å) 내지 약 2000 층스트롬, 바람직하게는 약 1000 층스트롬의 폴리실리콘막으로 이루어진 반도체막(51)을 형성한 후(반도체막 티칭 공정), 그것을 포토리소그래피 기술을 사용하여, 도 5b에 도시된 바와 같이, 패터닝하고, 화소 TFT부 측에 설형상의 반도체막(51)(능동층)을 형성한다. 이 반도체막(51)의 형성이, 아울러 콘택트 홀(56)을 티칭한 후, 약 600°C 내지 약 700°C의 온도로 약 1시간 내지 약 8시간의 열을, 아울러 콘택트 홀(56)을 티칭한 후, 약 600°C 내지 약 700°C의 온도로 약 1시간 내지 약 8시간의 열을 실시하여 폴리실리콘막을 티칭한 후, 실리콘을 투입하여 비정질화하는 방법 등을 사용할 수 있고, 그런 후에 열 어닐링을 실시하여 재결정화시켜 폴리실리콘막을 형성하는 방법 등을 사용할 수 있다. 이것에 대하여, 캐패시터부 측에서는, 반도체막(51)을 완전히 제거한다(반도체막 포토-에칭 공

정).

다음에, 도 5c에 도시된 바와 같이, 열산화법 등에 의해 반도체막(51)의 표면에 두께가 약 600 응스트를 내지 약 1500 응스트를의 게이트 산화막(58)을 형성한다(게이트 산화막 형성 공정). 그 결과, 반도체막(51)의 두께는, 약 300 응스트를 내지 약 1500 응스트를, 바람직하게는 350 응스트를 내지 약 450 응스트를이 된다.

다음에, 도 5d에 도시된 바와 같이, 게이트 전극 등을 형성하기 위한 폴리실리콘막(210)을 기판(10) 전면에 형성한 후(게이트 전극 폴리실리콘막 퇴적 공정), 그것을 포토리소그래피 기술을 사용하여, 도 5e에 도시된 바와 같이, 패터닝하여, 화소 TFT부 측에 게이트 전극(21)을 형성한다. 이것에 대하여, 캐퍼시터부 측에서는 폴리실리콘막을 정전위선(84), 제 1 전극(86), 리셋 신호선(81)으로서 남는다(게이트 전극 폴리실리콘막 포토·에칭 공정).

다음에, 도 5f에 도시된 바와 같이, 화소 TFT부 측에는 게이트 전극(21)을 마스크로서 고농도의 불순을 미온(인 미온)의 투입을 행하고(이온 투입 공정), 게이트 전극(21)에 대하여 자기 정합적으로 고농도의 소스 영역(521), 및 고농도의 드레인 영역(522)을 형성한다. 여기서, 게이트 전극(21)의 바로 아래에 위치하고 있기 때문에, 불순들이 도입되지 않은 부분은 채널 영역으로 된다. 이와 같이 하여 미온 투입을 했을 때에는, 게이트 전극(21), 정전위선(84), 제 1 전극(86), 및 리셋 신호선(81)으로서 형성되어 있던 폴리실리콘막에도 불순들이 도입되므로, 그들은 저저항화하게 된다.

또, 이 공정을 대신하여, 게이트 전극(21)을 마스크로서 약  $1 \times 10^{12} \text{ cm}^2$  내지 약  $3 \times 10^{13} \text{ cm}^2$ 의 도즈량으로 저농도의 불순(인 미온)을 도입하여, 폴리실리콘막에 저농도 영역을 형성한 후, 게이트 전극(21)보다 풀이 넓은 마스크를 형성하여 고농도의 불순(인 미온)을 약  $1 \times 10^{15} \text{ cm}^2$  내지 약  $3 \times 10^{15} \text{ cm}^2$ 의 도즈량으로 투입하고, LDD 구조(light-doped drain 구조)의 소스 영역 및 드레인 영역를 형성할 수 있다. 또한, 저농도의 불순들의 투입을 하지 않고, 게이트 전극(21)보다 풀이 넓은 마스크를 형성한 상태로 고농도의 불순(인 미온)을 투입하여, 옵션 구조의 소스 영역 및 드레인 영역을 형성할 수도 있다.

또, 도시를 생략하지만, 상기의 N 채널부를 형성했을 때에는, 주변 구동 회로에 P 채널형 TFT 측에 관해서는 레지스터 마스크로 된다는다. 또한, 주변 구동 회로에 P 채널부를 형성했을 때에는, 화소부(11) 및 N 채널형 TFT 측을 레지스터 마스크로 피복 보호하며, 이 상태로 게이트 전극(21)을 마스크로서, 약  $1 \times 10^{12} \text{ cm}^2$  내지 약  $3 \times 10^{13} \text{ cm}^2$ 의 도즈량으로 보른 미온을 투입하여, 자기정합적으로 P채널의 소스·드레인 영역를 형성한다. 또, N 채널 형성과 마찬가지로 게이트 전극(21)을 마스크로서 약  $1 \times 10^{12} \text{ cm}^2$  내지 약  $3 \times 10^{13} \text{ cm}^2$ 의 도즈량으로 저농도의 불순(봉소 미온)을 도입하여 저농도 소스·드레인 영역을 형성한 후, 게이트 전극(21)보다도 풀이 넓은 마스크를 형성하여 고농도의 불순을 미온(봉소 미온)을 투입하면, LDD 구조로 하여도 된다. 또한, 옵션 구조의 소스·드레인 영역을 구성하여도 무방하다. 이러한 미온 투입 공정에 의해, 상보형화가 가능해져, 주변 구동 회로의 동일 기판내로의 내장을 실현할 수 있다.

다음에, 도 6a에 도시된 바와 같이, 게이트 전극(21), 정전위선(84), 제 1 전극(86) 및 리셋 신호선(81)의 표면측에, CVD법 등으로 예를 들면, 800°C 정도의 온도 조건하에서 두께가 약 5000 응스트를의 NSG 막(보른이나 인을 포함하지 않은 실리케이트 글래스막)등으로 이루어져 내지 약 15000 응스트를의 NSG 막(보른이나 인을 포함하는 실리케이트 글래스막)등으로 이루어진 제 1 층간 절연막(53)을 형성한다(제 1 층간 절연막 퇴적 공정). 이 때, 형성되는 제 1 층간 절연막(53) 중, 제 1 전극(86)의 표면측에 형성된 부분이 캐퍼시터(85)의 유전체막이다.

다음에, 도 6b에 도시된 바와 같이, 포토리소그래피 기술을 사용하여, 제 1 층간 절연막(53) 중, 소스 영역(521) 및 리셋 신호선(81)에 대응하는 부분에 콘택트 홀(56, 56A)을 형성한다(소스 전극 도통부 개공 공정).

다음에, 도 6c에 도시된 바와 같이, 제 1 층간 절연막(53)의 표면측에, 소스 전극을 구성하기 위한 알루미늄막(300) 등의 저저항 도전막을 스퍼터법 등으로 형성한 후(소스 전극용 알루미늄막 퇴적 공정), 도 6d에 도시된 바와 같이, 포토리소그래피 기술을 사용하여, 알루미늄막(300)을 패터닝하고, 화소 TFT부에 도시된 바와 같이, 화소 TFT부 측에서는, 콘택트 홀(56A)을 거쳐 대미터션(30)의 일부로서 소스 전극(301)을 형성하고, 캐퍼시터부에서는 콘택트 홀(56A)을 거쳐 리셋 신호선(81)에 전기적으로 접속하는 제 2 전극(57A)을 형성한다(소스 전극용 알루미늄막 포토·에칭 공정).

이와 같이 하여, 제 1 전극(86), 제 1 층간 절연막(53), 및 제 2 전극(57A)에 의해, 리셋 신호선(81)과 정전위선(84) 사이에 캐퍼시터(85)를 형성한다.

다음에, 도 7a에 도시된 바와 같이, 소스 전극(301) 및 제 2 전극(57A)의 표면측에, CVD 법 등에 의해 예를 들면, 500°C 정도의 낮은 온도 조건하에서 두께가 약 5000 응스트를 내지 약 15000 응스트를의 PSG 막(봉소이나 인을 포함하는 실리케이트 글래스막)등으로 이루어진 제 2 층간 절연막(54)을 형성한 후(제 2 층간 절연막 형성 공정). 도 7b에 도시된 바와 같이, 화소 TFT부 측에서는, 포토리소그래피 기술 및 드라이 에칭법 등을 사용하여, 제 1 층간 절연막(53) 및 제 2 층간 절연막(54) 중, 드레인 영역(522)에 대응하는 부분에 콘택트 홀(57)을 형성한다(화소 전극 도통부 개공 공정).

다음에, 도 7c에 도시된 바와 같이, 제 2 층간 절연막(54)의 표면측에, 드레인 전극을 구성하기 위한 두께가 약 1500 응스트를의 ITO막(550)(Indium Tin Oxide)를 스퍼터법 등으로 형성한 후(화소 전극용 ITO막 퇴적 공정), 도 7d에 도시된 바와 같이, 포토리소그래피 기술을 사용하여, ITO막(550)을 패터닝하고, 화소 TFT부에서는 화소 전극(55)을 형성하여, 캐퍼시터부에서는 ITO막(550)을 완전히 제거한다. 여기서, 화소 전극(55)으로서는, ITO막에 한정되지 않고, SnOx 막이나 ZnOx 막 등의 고용접의 금속산화물을 등으로 이루어진 투명 전극 재료를 사용하는 것도 가능하며, 이를의 재료이면, 콘택트 홀(57) 내에서의 단자 피복도 실용화할 만하다.

이와 같이, 본 형태에 의하면, TFT(50)의 게이트 전극(21)(주사선(20))을 형성하기 위한 공정을 이용하

여 제 1 전극(86)을 형성할 수 있고, 또한, TFT(50)의 소스 전극(301)(데이터선(30))을 형성하기 위한 공정을 이용하여 제 2 배선층(57A)을 제 2 전극으로서 형성할 수 있으므로, 제조 공정수를 늘리지 않고, 캐퍼시터(66)를 형성할 수 있다.

### (캐패시터의 구성예 2)

도 8a, 도 8b, 도 8c는 각각, 상기 형태에 대한 개량예에 따른 액정 장치용 기판의 신호선에 대하여 부가한 캐패시터의 구성을 도시한 평면도, 도 8a의 D-D'선에 있어서의 단면도, 도 8b의 E-E'선에 있어서의 단면도이다.

캐패시터의 구성예 1에서는 리셋 신호선(81, 82)에 전기적 접속하는 제 2 전극(87A)으로서 데이터선(30)과 동시 형성된 전극층을 사용하였지만, 본 구성예에서는 도 8a, 도 8b, 도 8c에 도시된 바와 같이, TFT(50)의 소스 영역(521) 및 드레인 영역(522)과 동시 형성된 전극층을 제 2 전극(87B)으로 사용할 수도 있다. 도 8a, 도 8b, 도 8c에 도시된 예에서도, 리셋 신호선(81, 82) 및 정전위선(84)은 모두 주사선(20)(TFT(50)의 게이트 전극(21))과 동시 형성된 폴리실리콘막으로 이루어진 배선층이다. 리캐패시터(85)를 구성하는 2개의 전극 중, 상층쪽에 위치하는 제 1 전극(86)은 정전위선(84)으로부터 리셋 신호선(81, 82)을 향해 돌출된 치부분으로 이루어지고, 리셋 신호선(81, 82) 및 신호선(81, 82)을 향해 돌출된 치부분으로 이루어지고, 리셋 신호선(81, 82)이다.

제 2 전극층(58A)은, TFT(50)의 소스 영역(521) 및 드레인 영역(522)과 동시 형성된 폴리실리콘막으로 이루어진 전극층이기 때문에, 제1 전극(86)보다도 하층측에 형성되어 있다. 여기서, 2개의 리센 신호선(81, 82)은, 등층이기 때문에, 리센 신호선(82)과, 이것에 대응하는 제 2 전극(87B)을 리센 신호선(81)을 거쳐, 전기적 접속하기 때문에, 데미터선(30)(TFT(50)의 소스 전극(301))과 동시 형성된 신호선(81)을 거쳐, 전기적 접속하기 때문에, TFT(50)의 소스 전극(301)과 동시 형성된 신호선(81)을 거쳐 리센 신호선(82)을 거쳐, 전기적 접속한다. 즉, 배선층(87C)은 콘택트 훌(56B)을 거쳐 제 2 전극(87B)에 전기적으로 접속되어 있다. 따라서, 이 형태의 경우에는, 캐퍼시터(85)는, 상기 2개의 전극층(86, 87B)의 겹치는 부분에 있다. TFT(50)의 게이트 절연막(58)과 동시 형성된 절연막(58A)을 유전체막으로서 구비하게 된다.

미와 같이 하여, 제1 전극(86), 게이트 절연막(58)과 동시 형성된 유전체막(58A) 및 제2 전극(57B)에 의해, 리셋 신호선(81, 82)과 정전위선(84) 사이에 캐페시터(85)를 형성한 경우에는, TFT(50)의 게이트 전극(21)(주사선(20))을 형성하기 위한 공정을 이용하여 제1 전극(86)을 형성할 수 있고, 또한, 전극(21)(주사선(20))을 형성하기 위한 공정을 이용하여 제2 전극(57B)을 형성하기 위한 공정을 이용하여 제2 배선층(57B)을 TFT(50)의 소스 영역(521) 및 드레인 영역(522)을 형성하기 위한 공정을 이용하여 제2 배선층(57B)을 형성할 수 있다. 여기에 더불어, 형성할 수 있기 때문에 제조 공정수를 늘리지 않고, 캐페시터(85)를 형성할 수 있다. 여기에 더불어, 본 예에서는, 제1 층간 절연막(53)과 비교하여 얇은 게이트 절연막(58)과 동시 형성된 절연막(58A)을 이용하여 캐페시터(85)를 형성할 수 있다. 그 때문에, 리셋 신호선(81, 82)의 시정수를 보다 크게 할 수 있다.

### (캐패시터의 구성예 3)

도 9a, 도 9b, 도 9c는 각각, 또 다른 개량형에 관한 액정 장치용 기판의 리셋 신호선에 대하여, 부가한 캐패시터의 구성을 도시한 평면도, 도 9a의 F-F'선에 있어서의 단면도, 도 9b의 G-G'선에 있어서의 단면도이다.

상기의 구성을 2에서는, 리셋 신호선(81, 82)에 전기적 접속하는 제 2 전극(87B)으로서, TFT(50)의 소스 영역(521) 및 드레인 영역(522)과 동시 형성된 전극층을 사용하여, 제 2 전극(87B)과 리셋 신호선(81, 82)을, 데미터션(30)과 동시에 형성된 배선층(87C)에 의해 전기적으로 접속하였지만, 도 9a, 도 9b, 도 9c에 도시된 바와 같이, 배선층(87C)을 제 1 전극(86)에 겹쳐 접두까지 면장 설치하고, 배선층(87C)도 제 1 전극(86)에 유전체막을 거쳐 대향하는 제 2 전극으로서 이용할 수도 있다.

이와 같이 구성하면, 캐퍼시터(85)는, 주사선(20)과 동시 형성된 플리실리콘막으로 이루어진 제1전극(86)과, 데이터선(30)과 동시 형성된 알루미늄막으로 이루어진 제2전극(87C)의 경치는 부분에 TFT(50)의 제1층간 절연막(53)과 동시 형성된 절연막을 유전체막으로 하는 제1캐퍼시터(85A)와, 주사선(30)과 동시 형성된 제1전극(86)과, TFT(50)의 소스 영역(52) 및 드레인 영역(522)과 동시 형성된 데이터선(30)과 동시 형성된 제2전극(87B)과 경치는 부분에 TFT(50)의 게이트 절연막(58)과 동시 형성된 플리실리콘막으로 이루어진 제2캐퍼시터(85B)를 구비하게 된다.

이와 같이 구성한 경우에는, TFT(50), 주사선(20) 및, 데미터선(30)을 형성하기 위한 공정을 이용하여, 제조 공정 수를 늘리지 않고 캐패시터(85)를 형성할 수 있다. 그것에 부가하여, 제 1 출간 절연막(53)을 유전체로 하는 캐패시터(85A)와, 제 1 출간 절연막(53)과 비교하여 얇은 게이트 절연막(58)과 동시에 형성된 절연막(58A)을 유전체막으로 하는 용량이 큰 캐패시터(85B)를 병렬로 전기적 접속한 용량이 큰 캐패시터(85)를 리선트 신호선(81, 82)과 정전위선(84) 사이에 구성할 수 있다. 그러므로, 리셋 신호선(81, 82)을 시장수를 보다 크게 할 수 있다.

### (그 끝의 한때)

또, 액티브 매트릭스 기판(1)을 형성하는 데에는, 적어도, 3개의 도전막(주사선(30), 데미터선(20), TFT(50)의 소스 영역(521) 및 드레인 영역(522))과, 2개의 절연막(총간 절연막(56), 및 게이트 절연막(58))의 형성시에, 각 도전체막과 절연막을 적절히 겹활시켜, 캐패시터(85)를 구성한 것이면, 상기 기판에 1, 2, 3에 한정되지 않는 것이다. 또한, 상기의 구성예에서는, 데미터선마다 형성된 리션 회로에 대하여 캐패시터를 설치하도록 하는 구성이지만, 각 데미터선마다 별별로 캐패시터를 설치하지 않고, 도 18에 도시된 바와 같이 리션 회로에 일괄 캐패시터(85)를 설치해도 된다.

또한, 상기의 형태에서는, 액정 장치용 기판(1)에 데이터 구동 회로부(60) 및 주사율 구동 회로부(70)의 쌍방을 구성하였지만, 이들의 구동 회로가 액정 장치용 기판(1)과는 별개로 되어 있는 액정 장치에도, 본 발명을 적용할 수가 있다. 또한, 리셋 구동 회로(80)에 있어서, 리셋 전위 공급 차단용 스위치 회로(83)의 동작을 제어하기 위한 제어 신호를 출력하는 구동 회로에 대해서도, 액정 장치용 기판(1)에 본 내장되어 있는 구조, 또는 액정 장치용 기판(1)과는 별개로 되어 있는 구조 중, 어느 하나에 관해서도 본

말명을 적용할 수가 있다.

### (액정 잘지의 사용예)

상기 실시 혈태에 따른 액정 장치를 투과형으로 구성한 경우의 전자 기기로의 사용예를, 도 10 내지 도 14를 참조하여 설명한다.

상기 형태의 액정 장치를 사용하여 구성되는 전자기기는, 도 10의 블록도에 도시된 바와 같이, 표시 정보 출력회로(1000), 표시 정보 처리 회로(1002), 표시 구동 장치(1004), 액정 장치(1006), 클록 발생 회로(1008), 및 전원 회로(1010)를 포함하여 구성된다. 표시 정보 출력회로(1000)은 ROM, RAM 등의 메모리로(1008), 및 전원 회로(1010)를 포함하여 구성된다. 표시 정보 출력회로(1000)은 ROM, RAM 등의 메모리로(1008), 및 전원 회로(1010)를 포함하여 구성된다. 표시 정보 출력회로(1000)은 ROM, RAM 등의 메모리로(1008), 및 전원 회로(1010)를 포함하여 구성된다. 표시 정보 출력회로(1000)은 예를 들면 부터의 블록에 의거하여 표시 정보를 처리하여 출력한다. 미 표시 정보 출력회로(1002)는, 예를 들면 증폭·극성 반전 회로, 상·전개 회로, 로터미션 회로, 감마 보정 회로, 또는 클램프 회로 등을 포함하여 구성되고, 액정 장치(1006)를 구동하는 전원 회로(1010)는 상술된 각 회로에 전력을 공급한다.

미러한 구성의 전자기기로서는, 도 11에 도시한 액정 프로젝터, 도 12에 도시된 멀티미디어 대용의 퍼스널 컴퓨터(PC), 및 엔지니어링·워크 스테이션(EWS), 도 13에 도시된 페이저, 또는 휴대전화, 워드프로세서, 텔레비전, 브파인더형 또는 모니터 작시형 비디오 테이프 레코더, 전자 수첩, 전자 탁상 계산기, 카 네비게이션 장치, POS 단말기, 터치 패널을 구비하는 장치 등을 들 수 있다.

도 11에 도시한 투사형 표시 장치는, 액정 장치를 라이트 밸브로서 이용한 투사형 프로젝터이며, 예를 들면, 3장의 프리즘 방식의 광학 시스템을 사용하고 있다. 도 11에 있어서, 액정 프로젝터(1100)에서 드는, 백색 광원의 램프 유닛(1102)으로부터 출사되는 투사광이 라이트 가이드(1104)의 내부에서, 녹수의 미러(1106) 및 2장의 다이크로닉 미러(1108)에 의해, R, G, B의 3원색으로 분리되어(광 분리 수단), 각 미러(1106) 및 2장의 다이크로닉 미러(1108)에 의해, R, G, B의 3원색으로 분리되어(광 분리 수단), 각각의 색의 화상을 표시하는 3장의 액정 장치(1110R, 1110G, 1110B)로 유도된다. 그리고, 각각의 액정 장치(1110R, 1110G, 1110B)에 의해 변조된 광은 다이크로닉 프리즘(1112)(광 합성 수단)에 3방향으로 부터 입사된다. 다이크로닉 프리즘(1112)에서는 적(R) 및 청(B)의 광이 90도 구부려지고, 녹(G)의 광은 투사 진하기 때문에, 각 빛깔의 광이 합성되어, 투사 렌즈(1114)를 통과시켜 스크린 등에 컬러 화상이 투사된다.

도 12에 도시된 퍼스널 컴퓨터(1200)는 키보드(1202)를 구비한 본체부(1204)와, 액정 장치(1206)(액정 표시 화면)를 갖는다.

도 13에 도시된 페미저(1300)는 금속제의 프레임(1302)내에, 액정 표시 기판(1304), 백라이트(1306a)를 구비한 라이트 가이드(1306), 회로 기판(1308), 제 1 및 제 2 시일드판(1310, 1312), 2개의 탄성 전도체(1314, 1316) 및 필름 캐리어 필름(1318)을 갖는다. 2개의 탄성 전도체(1314, 1316) 및 필름 캐리어 테이프(1318)는 액정 표시 기판(1304)과 회로 기판을 접속하는 것이다.

여기서, 액정 표시 기판(1304)은, 2장의 투명 기판(1304a, 1304b) 사이에 액정을 밀봉한 것으로, 이것에 의해 적어도 도트 매트릭스형 액정 장치가 구성된다. 한쪽의 투명 기판에는 도 14에 도시된 구동회로(1004), 또는 이것에 부가하여 표시 정보 처리 회로(1002)를 구성할 수 있다. 액정 표시 기판(1304)에 탑재된 회로는 액정 표시 기판(1304)의 외부 부착 회로로 되며, 도 13에 도시된 회로 기판(1308)에 탑재된다.

도 13은 페이저의 구성을 도시한 것이므로, 액정 표시 기판(1304) 이외에 회로 기판(1308)이 필요하지만, 전자 기기용 일부품으로서 액정 장치가 사용되는 경우에는 두명 기판 상에 표시 구동 회로가 탑재되며, 그 액정 표시 장치로서의 최소 단위는 액정 표시 기판(1304)이다. 또는 액정 표시 기판(1304)을 케이스로서의 금속 프레임(1302)에 고정된 것을, 전자기기용 일부품인 액정 표시 장치로서 기판(1304)을 구성하는 2장의 이들을 대신하여, 도 14에 도시된 바와 같이, 액정 표시 기판(1304)을 구성하는 2장의 텔루명 기판(1304a, 1304b)의 한쪽에, 금속의 도전막이 형성된 폴리 이미드 테이프(1322)에 IC 칩(1324)을 설치한 TCP(Tape Carrier

Packager(1.3.20)를 전송하여 전자 전송을 위한 품의 행정 표시 장치로서 사용할 수도 있다.

또, 본 발명은 상기 실시예에 한정되는 것이 아니라, 배선총 형성 영역에 시일총을 형성하는 복수의 각 종의 형태로 실시가 가능하다. 예를 들면, 본 발명은 상술의 장치의 구동에 적용되는 것에 한정되지 않고, 반사형 액정 장치, 또는 전계 발광, 플라즈 디스플레이 장치들 상기 과정에 적용할 수 있다.

이상 설명한 바와 같이, 본 발명에 따른 액정 장치에서는 제 1 기판에 대하여 리셋 신호선의 시정수를 크게 하기 위한 캐패시터를 구성한다. 따라서, 본 발명에 따른 액정 장치 등의 상기 광학 장치에는 리셋 신호선의 시정수를 데이터선족의 시정수보다도 충분히 크게 할 수 있기 때문에, 각 데이터선에 리셋 전위를 인가하였을 때에 리셋 신호선에 리셋 구동 회로의 모든 스위칭 소자를 한번에 도통시키도록 구성하여도, 리셋 신호를 확실히 기록할 수 있고, 고정밀하게 액정화상 표시를 하는 것이 가능하다. 그 때문에, 데이터선으로의 화상 신호의 공급에 앞서서 데이터선의 각각에 리셋 전위를 인가하는 형태의 액정 장치 등의 상기 광학 장치에 있어서도, 신호의 화질에 기인하는 흥크로스토크 등이 나타나지 않고, 표시의 품질을 향상시킬 수 있다.

또한, 예를 들면, 리셋 신호선의 시정수를 크게 하기 위한 캐퍼시터는 종래에는 데드 스페이스이었던 시대일총의 형성 영역에 구성하기 때문에, 용량이 큰 캐퍼시터를 구성하는 경우에도, 액정 장치용 기판에 영향하지 않고서, 또한, 화소부를 포함한 액정 밀봉 영역 등을 축소할 필요가 없다.

또한, 캐패시터를 구성하는 제1 전극 및 제2 전극을 각각, 주사선, 데이터선 또는 화소부의 스위칭 소자와 동시 형성된 전극층으로 구성한 경우에는 공정수를 늘리지 않고 캐패시터를 구성할 수 있는 이점이 있다.

**산업상이용가능성**

본 발명은 액정 장치용 기판을 이용한 액정 장치 등의 상기 광학 장치는 TFT 등의 구동 소자를 구비한 표시 장치로서 이용 가능하고, 또한 투사형 표시 장치에 이용 가능하다. 또한, 본 발명에 따른 전자기 기와 같은 표시 장치를 사용하여 구성되며, 고품질의 화상 표시를 할 수 있는 전자기기 등으로서 이용할 수 있다.

**(57) 청구의 범위**

청구항 1. 제 1 및 제 2 기판간에 액정이 밀봉되어지고, 전기 제1 기판상에는 화상 신호가 공급되는 복수의 데이터선과, 전기 복수의 주사선에 교차하여 주사 신호가 공급되는 복수의 주사선과, 전기 각 데이터선과 주사선에 접속된 제 1 스위칭 소자와, 전기 제 1 스위칭 소자에 접속된 화소 전극으로 이루어 진 화소부와,

전기 화소부의 주변부에서 화상 신호의 공급에 앞서서 리셋 신호선에 공급된 리셋 신호를 전기 데이터선에 공급하기 위한 제 2 스위칭 소자와, 전기 리셋 신호선에 접속된 캐패시터를 구비하는 리셋 구동 회로에 배치되어 있으며, 전기 한쌍의 기판은 전기 화소부보다 외측 영역에 형성된 시일층에 의해 서로 접착되어 이루어진 액정 장치에 있어서,

전기 캐패시터는 소정의 전위가 공급되는 제 1 전극과, 전기 리셋 신호선에 전기적으로 접속되어, 절연막을 거쳐 전기 제 1 전극에 대향 배치된 제 2 전극을 한쌍의 전극으로서 전기 시일층이 형성된 영역에 배치되어 이루어진 것을 특징으로 하는 액정 장치.

청구항 2. 제 1 항에 있어서, 전기 리셋 신호선은 병렬 배치된 복수의 배선층으로 이루어지고, 전기 제 2 전극은 전기 복수의 배선층 중의 소정의 배선층에 콘택트 줄을 거쳐 접속되어 이루어진 것을 특징으로 하는 액정 장치.

청구항 3. 제 1 항 또는 제 2 항에 있어서, 전기 제 1 전극에 접속된 정전위선의 측으로부터 전기 리셋 신호선을 향하여 연결된 복수의 전극층으로 구성되며, 전기 제2 전극은 전기 리셋 신호선의 측으로부터 전기 정전위선을 향하여 연결된 복수의 전극층으로 구성되어 있는 것을 특징으로 하는 액정 장치.

청구항 4. 제 1 항 또는 제 2 항에 있어서, 전기 제1 스위칭 수단은 박막 트랜지스터에서, 전기 제1 전극 및 전기 제2 전극은 각각, 전기 주사선, 전기 데이터선 및 전기 박막 트랜지스터의 소스·드레인 영역 중의 어느 하나와 동시 형성된 다른 층간의 전극층으로 구성되어 있는 것을 특징으로 하는 액정 장치.

청구항 5. 제 4 항에 있어서, 전기 제1 스위칭 수단은 박막 트랜지스터로서, 전기 제 1 및 제 2 전극 중 한편의 전극은 전기 주사선과 동시 형성된 전극층으로 구성되며, 다른편의 전극은 전기 데이터선과 동시에 형성된 전극층으로 구성되며,

전기 절연막은 전기 박막 트랜지스터의 층간 절연막과 동시에 형성되어 이루어진 것을 특징으로 하는 액정 장치.

청구항 6. 제 4 항에 있어서, 전기 제 1 및 제 2 전극 중 한편의 전극은 전기 주사선과 동시에 형성된 전극층으로 구성되며, 다른편의 전극은 전기 박막 트랜지스터의 소스·드레인 영역과 동시에 형성된 전극층으로 구성되며,

전기 절연막은, 전기 박막 트랜지스터의 게이트 절연막과 동시에 형성된 절연막을 유전체막으로서 구비하고 있는 것을 특징으로 하는 액정 장치.

청구항 7. 제 4 항에 있어서, 전기 제 1 및 제 2 전극 중 한편의 전극은, 전기 주사선과 동시에 형성된 전극층으로 구성되며, 다른편의 전극은, 전기 데이터선과 동시에 형성된 전극층, 및 전기 박막 트랜지스터의 소스·드레인 영역과 동시에 형성된 전극층으로 이루어진 2개의 전극층으로 구성되며,

전기 캐패시터는, 전기 주사선과 동시에 형성된 전극층과 전기 데이터선과 동시에 형성된 전극층과 겹치는 부분에 전기 박막 트랜지스터의 층간 절연막과 동시에 형성된 절연막을 유전체막으로서 구비하는 제 1 캐패시터와, 전기 주사선과 동시에 형성된 전극층과 전기 박막 트랜지스터의 소스·드레인 영역과 동시에 형성된 전극층과 겹치는 부분에는 전기 박막 트랜지스터의 게이트 절연막과 동시에 형성된 절연막을 유전체막으로서 구비하는 제 2 캐패시터를 가지는 것을 특징으로 하는 액정 장치.

청구항 8. 제 1 항 내지 제 7 항 중 어느 한 항에 있어서, 전기 액정 장치용 기판상에는, 전기 데이터선에 전기 화상 신호를 공급하는 데이터층 구동 회로, 및 전기 주사선을 거쳐 주사 신호를 공급하는 주사층 구동 회로 중의 적어도 한편의 구동회로로 구성되어 있는 것을 특징으로 하는 액정 장치.

청구항 9. 화상 신호가 공급되는 복수의 데이터선과, 주사 신호가 공급되는 복수의 주사선과, 전기 각 데이터선과 주사선에 접속된 제 1 스위칭 소자와, 전기 제1 스위칭 소자에 접속된 화소 전극을 갖는 전기 광학 장치에 있어서,

전기 데이터선에 화상 신호를 공급하는 기간에 앞서서 리셋 신호선에 공급된 리셋 신호를 전기 데이터선에 공급하기 위한 제 2 스위칭 소자와, 전기 리셋 신호선에 접속된 캐패시터를 구비하는 리셋 구동 회로에 배치되어 있는 것을 특징으로 하는 전기 광학 장치.

청구항 10. 제 9 항에 있어서, 전기 캐패시터는 소정의 전위가 공급되는 제 1 전극과, 전기 리셋 신호선에 전기적으로 접속된 제 2 전극을 한쌍의 전극으로서 형성되어 이루어진 것을 특징으로 하는 전기 광학 장치.

청구항 11. 제 1 항 내지 제 10 항중 어느 한 항에 있어서, 전기 캐패시터의 값은, 전기 데이터선의

총용량의 2분의 1보다 큰 것을 특정으로 하는 전기 광학 장치.

**청구항 12.** 제 1 항 내지 제 11 항 중 어느 하나에 기재의 액정 장치를 이용한 투사형 표시 장치에서, 광원부와, 해당 광원부로부터 출사되는 광을 전기 액정 장치로 광변조한 광을 스크린 등의 투사면에 투사하는 투사 수단을 갖는 것을 특정으로 하는 투사형 표시 장치.

도면

도면1

